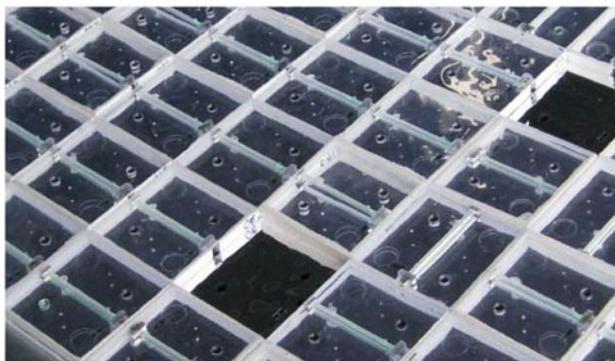
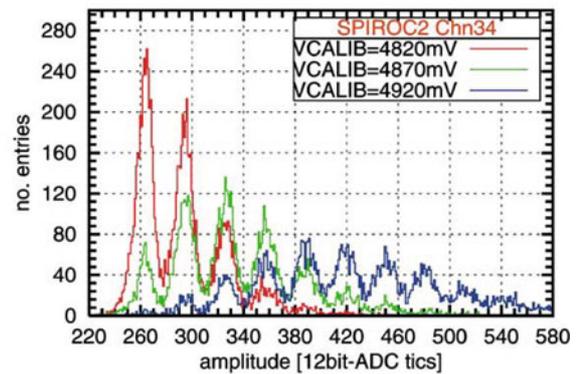


a)



b)



c)

Abbildung 117: Realisierter AHCAL Prototyp bestehend aus den bei FE entwickelten Baugruppen HBU, CALIB, POWER und den flexiblen Verbindungsplatinen (a), mit scintillierenden Plättchen und MGPD Photodetektoren bestückte Rückseite des HBUs (b) und ein erstes Messergebnis vom sogenannten Einzelpixel Spektrum eines MGPDs (c).

FE Elektronikentwicklung

Gruppenleiter: M. Zimmer

Zur Abteilung Elektronikentwicklung FE gehören die Fachgruppen FEA für digitale Datenverarbeitung, FEB für analoge Datenverarbeitung und Mess- und Regeltechnik sowie FEC für Mikro- und Optoelektronik.

Detektorsysteme für die Röntgenspektroskopie

Die für 2009 angekündigte Fertigstellung von vier Driftdetektorsystemen wurde mit der Auslieferung an den HASYLAB-Detektorpool erfolgreich abgeschlossen. Das Herzstück des Messsystems ist ein Silizium-Drift-Detektor (SDD) für energiedispersive Röntgenspektroskopie-Anwendungen zwischen etwa 2 keV und 17 keV. Sieben unabhängig arbeitende, jeweils 7 mm² große Driftzellen bieten, gekühlt oder bei Raumtemperatur, Megahertz-Zählraten mit einer Energieauflösung in der Größenordnung wenigen hundert eV. Entsprechende Anwendungsfelder der Photonenphysik erfordern dabei sehr kompakte und modulare Bauformen sowie eine hohe Nutzerfreundlichkeit und Betriebszuverlässigkeit.

Das Instrument besteht aus den Hauptkomponenten SDD-Modul und dem PXI-basierten Datenerfassungssystem. Das Modul enthält die integrierte Sensorik mit Peltier-Kühler innerhalb des N₂-Spülkopfes sowie Kabeltreiber und Filter innerhalb des messingfarbenen Rohres. Ein Kabelsatz ermöglicht die Anbindung des Moduls an das Datenerfassungssystem. Ein Temperatur-Feuchte-Sensor sowie ein Druck-Sensor zwischen Spülkopf und externer Spülgasarmatur erlauben die kontinuierliche Überwachung der Sensorik. Das

Datenerfassungssystem besteht aus einer Adapterbaugruppe, einer Microcontroller-Baugruppe, einer schnellen A/D-Wandler-Karte, einer Digital-I/O-Karte, einer langsamen A/D-D/A-Wandler-Karte, einer Computer-Baugruppe sowie einem Netzteil. Bei den letztgenannten fünf Baugruppen handelt es sich um kommerziell verfügbare Baugruppen der Firmen EKF Elektronik GmbH, Schroff GmbH, Spectrum GmbH sowie Adlink Technology Inc. Die übrigen Baugruppen sind hausinterne Eigenentwicklungen.

Der Benutzer steuert das Instrument über die Ethernet-Schnittstelle des PC und einen Gate-Eingang der SDD-PXI. Notwendige Voreinstellungen werden automatisch an die entsprechenden Baugruppen und Module übermittelt. Die während der Aktivzeit des Gate-Signals detektierten Photonen werden im SDD-Modul in ein elektrisches Signal gewandelt, im SDD-PXI aufbereitet, im ADC digitalisiert und im PC histogrammiert und gespeichert. Der Nutzer holt sich die fertigen sieben Spektren zur Weiterverarbeitung und Visualisierung an der Schnittstelle ab. Die Systeme befinden sich nun in der Nutzung an verschiedenen Experimentierplätzen am HASYLAB.

2D-Pixeldetektoren am XFEL

FE ist an zwei der drei internationalen Konsortien beteiligt, die 2-dimensionale Röntgenkameras mit jeweils einer Million Pixeln für unterschiedliche Anwendungen am XFEL entwickeln. Diese Detektoren sollen in der Lage sein, alle 220 ns ein Bild aufzunehmen und bis zu 5000 Bilder pro Sekunde speichern.

Adaptive Gain Integrating Pixel Detector

FEA und FEB entwickeln gemeinsam in Zusammenarbeit mit FS-DS die analoge und digitale Ausleseelektronik für den *Adaptive Gain Integrating Pixel Detector* (AGIPD) Detektor mit einer geplanten Pixelgröße von $200 \times 200 \mu\text{m}^2$ und einer Sensorfläche von ca. $20 \times 20 \text{cm}^2$. Die im letzten Berichtsjahr entwickelten Konzepte sehen vor, die analogen Signale der Sensor-Auslese-Asics mit insgesamt 1024 ADCs zu digitalisieren. Jeweils 64 ADCs sind auf einem Auslesem modul zusammengefasst und werden von einem FPGA über 64 differenzielle 700-MBit-Leitungen seriell ausgelesen, zwischengespeichert und über eine 10-GBit-Ethernet Verbindung zur Weiterverarbeitung gesendet.

Im aktuellen Berichtsjahr lag ein Schwerpunkt auf der Überprüfung und Validierung der erarbeiteten Konzepte. Mit selbst entwickelten Prototypen und kommerziellen Evaluierungsplatinen wurde der gesamte Datenweg von ADC-Eingang bis zur 10-GBit-Übertragung zu einem Standard-PC aufgebaut. Kritische Kenngrößen, wie ADC-Rauschanteile und die Signalqualität der 700-MBit-Übertragungsstrecken wurden erfolgreich getestet.

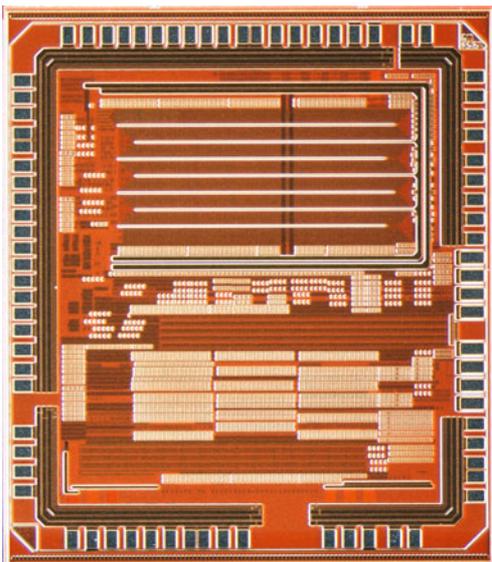


Abbildung 118: Erster Testchip mit diversen Funktionsblöcken eines per-Pixel-ADCs in der 130-nm-RF-CMOS-Technologie von IBM.

Die Ausarbeitung der elektromechanischen Spezifikationen wurde vorangetrieben. Hier gilt es die kompakten Detektorabmessungen verbunden mit der hohen Signaldichte mit den Anforderungen an Signalintegrität, Stromversorgung und Wärmeableitung zu vereinbaren. Besonderes Augenmerk richtet sich auf die Auswahl geeigneter Steckverbinder und die mechanische Konstruktion.

Auch bei der Entwicklung der Konzepte zur Anbindung der Detektoren an Kontroll- und Datenerfassungssysteme des Beschleunigers wurden Fortschritte erzielt. Neben der Verteilung synchroner Steuersignale des Beschleunigers geht es hier auch um eine standardisierte Erfassung allgemeiner Messdaten und Zuständen der Detektoren (Slow Control).

DePMOS Sensor with Signal Compression

Mit dem offiziellen Beginn dieses Projektes am 1. April 2009 starteten unsere Beiträge zu Funktionsblöcken des integrierten Ausleseschaltkreises (ASIC) in der 130-nm-RF-CMOS-Technologie von IBM und zur Hybridschaltung eines Gesamtmoduls für eine Matrix aus 512×128 Pixeln (Abbildung 118). Die vorrangige Aufgabe im Themenfeld ASIC-Entwicklung bestand 2009 darin, die digitalen Funktionsblöcke eines 8-bit 5MS/s Analog-zu-Digital Wandler (ADC) zu entwickeln und auf einem ersten Testchip zu integrieren. Dabei handelt es sich um einen ADC, der nach dem Ein-Rampen-Prinzip arbeitet. Der zu digitalisierende Signalwert wird zunächst auf einer Abtast- und Haltekapazität zwischengespeichert. Zu einem definierten Zeitpunkt wird eine Konstantstromquelle zugeschaltet, die diese Kapazität entleert. Gleichzeitig wird ein Zähler gestartet. Die sich linear mit der Zeit ändernde Spannung über der Kapazität (Rampe) wird von einem Komparator aufgenommen und mit einer Referenzspannung verglichen. Ist diese erreicht, ändert der Komparator seinen Ausgangszustand und sorgt für die Zwischenspeicherung des aktuellen Zählerstandes, der dem digitalisierten Abtastwert entspricht. Der Testchip stand im November zur Verfügung und wurde zur Charakterisierung auf eine Testleiterplatte geklebt und kontaktiert. Ferner wurden ein Mustergenerator und eine Oszilloskop

zur Durchführung der Messungen angeschafft und in einen Messplatz integriert. Erste Tests bescheinigen die Funktionsfähigkeit. Ausführliche Messungen werden 2010 folgen.

Hinsichtlich der hybriden Modulelektronik stand die Gesamtkonstruktion im Vordergrund des Interesses. Hierzu zählt nicht nur die elektrische Anbindung der Auslesechips an die Außenwelt sondern auch die Entwicklung eines geeigneten Konzeptes zum thermischen Management und zur gepulsten Spannungsversorgung der Chips und der Sensoren. Beide Arbeitsgebiete bedürfen der Einbindung industrieller Partner, so dass im Vorfeld ein große Zahl technischer Details abzuklären waren. Im kommenden Jahr sollen diese Arbeiten abgeschlossen werden und erste Detailentwicklungen starten.

10-GBit-Ethernet-FMC-Modul

Nach dem derzeitigen Stand der Planung sollen bei allen 2-D-Detektoren die Bilddaten über sechzehn 10-GBit-Ethernet Verbindungen zur ersten Auswertungsstufe (Trainbuilder) gelangen. Jedes Modul sendet die Bildinformationen von einem sechzehntel der Sensorfläche. Im Trainbuilder werden die 16 Bildteile zusammengesetzt, zusammengehörige Bilder aus einer aufeinanderfolgenden Sequenz von Bunches (Buchtrains) zusammengefasst und an eine nachfolgende Prozessorfarm zur gemeinsamen Auswertung gesendet.

Die im Vorjahr entwickelte 10-GBit-Ethernet Adapterkarte wurde zu Beginn des Berichtszeitraum ausführlich quantitativen Tests unterzogen und erfüllte alle Erwartungen bezüglich Stabilität und Qualität des Datentransfers. Es wurden Bitfehlerraten von etwa 10^{15} gemessen was etwa einem Bitfehler pro Tag entspricht.

Die aus der Prototypentwicklung der 2 kanaligen 10-GBit-Ethernet Karte gewonnenen Erfahrungen, insbesondere beim Routing der 3,1 und 10-GBit-Signalpfade flossen in eine Neuentwicklung im Formfaktor FMC (FPGA Mezzanine Card) ein. Hierbei handelt es sich um einen neuen Standard für Aufsteckkarten (VITA57), die für die Kommunikation mit Hochleistungs-FPGAs optimiert sind. Die FMC Karte soll als flexible und stan-

dardisierte 10-GBit-Ethernet Anbindung bei den Prototypen des Trainbuilders, der von englischen Kollaboranten entwickelt wird, eingesetzt werden. Die Karte befindet sich derzeit in der Fertigung.

CALICE AHCAL Prototypen

Im abgelaufenen Jahr wurde für die CALICE Kollaboration und in enger Zusammenarbeit mit der DESY Gruppe FLC der Prototyp eines analogen, hadronischen Kalorimeters (AHCAL) fertig gestellt (siehe Abbildung 117a). In der gezeigten Grundkonfiguration mit nur einem Modul HBU umfasst der Prototyp 144 Detektorkanäle, kann jedoch durch den Anschluss von bis zu sechs HBUs auf bis zu 864 Kanäle erweitert werden. Der Teilchennachweis basiert in diesem Konzept auf szintillierenden Plättchen mit den Maßen $3 \times 3 \text{ cm}^2$, die jeweils von einem Multi-Pixel Geiger-Mode Photodetektor (MGPD) (MEPhI/PULSAR, ITEP) ausgelesen werden. Das Modul HBU integriert die 144 Szintillator-Plättchen und MGPDs mit den analog/digitalen Auslese-ASICs (LAL/OMEGA Orsay) und einem auf ultravioletten LED basierenden Kalibrationssystem für die MGPDs. In Abbildung 117b ist die mit den Plättchen bestückte Rückseite des Moduls HBU gezeigt.

Als Schnittstelle zur detektornahen Elektronik wurde bei FE ein Modul zur Ansteuerung des Kalibrationssystems mit einem ARM7 Mikrocontroller als Steuereinheit (CALIB in Abbildung 117a), sowie ein Modul für die Spannungsversorgung und Betriebsparameterauslese entwickelt (POWER in Abbildung 117a). Die Module CALIB und POWER sind Aufsteckplatinen auf einem kommerziellen FPGA Modul (DIF in Abbildung 117a), welches die Schnittstelle zur neu entwickelten, und auf Labview 8.2 basierenden Nutzeroberfläche bildet. Die komplexe FPGA Firmware-Entwicklung wurde unter Berücksichtigung der Integration des AHCAL Prototypen in einen kombinierten Teststrahlbetrieb mit den anderen CALICE Detektoren ausgeführt. Die Verbindung zum inneren Detektor erfolgt mit ultraflachen Flexfolien und Konnektoren (zusammen unter 1.2 mm dick), von denen zwei Typen

für Signale und Spannungsversorgung realisiert wurden. Alle Aufgaben wurden in enger Koordination mit den CALICE Partnern und mit Unterstützung der EU (EUDET JRA3) hergestellt. In Abbildung 117c zeigt ein erstes Messergebnis, ein sogenanntes Einzelpixel Spektrum eines MGDs, für drei Intensitäten des integrierten Kalibrationssystems.

Besonderer Augenmerk galt bei der Prototypenentwicklung der möglichen Verwendung des entwickelten Aufbau- und Verbindungskonzeptes der detektornahen Elektronik für das Kalorimeter des International Linear Colliders (ILC). In einer Überarbeitung insbesondere auch der Schnittstellenmodule in diesem Jahr sollen nun alle Aspekte für eine mögliche Verwendung beim ILC berücksichtigt werden. Weiterhin ist im Frühjahr 2010 eine intensive Charakterisierung des Prototypen am DESY Elektronen-Teststrahl geplant.

AMCBoard für XFEL

μ TCA und AMC (Advanced Mezzanine Card) sollen als Standard für Überraumen und Einschübe im Umfeld der Maschinenkontrollen für XFEL eingesetzt werden.

Die ersten bei FEA entwickelten Prototypen der AMC Module sind seit mehr als einem Jahr bei FLASH im Einsatz. Unter Berücksichtigung der hierbei gewonnenen Erfahrungen wird derzeit eine Nachfolgekarte mit zusätzlicher Funktionalität entwickelt. Die Karte wird bereits dem Standard xTCA for Physics entsprechen, der den AMC Standard für verbesserte Anwendungsmöglichkeiten in der Messtechnik erweitert. Als Formfaktor werden doppelt hohe AMC Karten verwendet die zusätzlich über 2 Stecker insgesamt 60 Signalleitungen an ein Rear Transition Board (μ RTM) führen. Dieser Ansatz erzielt eine etwa viermal größere PCB-Nutzfläche und entkoppelt die rückwärtige I/O-Platine von der in der Regel komplexeren und mit einem FPGA ausgestatteten Mutterplatine. Die von FEA entwickelte Karte soll durch dedizierte Rear Transition Module an unterschiedliche Einsatzzwecke wie Beam Loss Monitor, Beam Interlock etc. angepasst werden. Flexible High-Speed Kommunikationsmöglichkeiten sind durch 4 PCIexpress Lanes und 8 anwenderspezifische Multi-

Gigabit-Links zur μ TCA Backplane und zur Frontplatte gegeben. Ein zusätzlicher FMC-Steckplatz ermöglicht anwendungsspezifische Erweiterungsmöglichkeiten. Die Karte befindet sich derzeit im Layout.

Sonstige Projekte

Neue Anwendungsgebiete fanden sich für die von FEA und FEB entwickelte PXI-Datenerfassungskarte, die PETRA III primär zur Phasenmessung im Hochfrequenzsystem einsetzt. Dies erforderte eine Nachproduktion von etwa 50 Stück, die im Berichtsjahr mit erweiterter Firmware ausgestattet und getestet wurden.

FEB leistete Beiträge für die CASTOR-Kollaboration des CMS-Experimentes im Rahmen der Fertigstellung und Installation des Kalorimeters und der Frontend-Elektronik. Mit den bei DESY und in Zusammenarbeit mit russischen Partner-Instituten gefertigten Modulen wurde das Auslesesystem der 214 Photomultiplier des Kalorimeters der extremen Vorwärtsregion installiert, in Betrieb genommen und getestet. Mit Beginn der Datennahme im Dezember konnte CASTOR bei CMS erste Proton-Proton-Wechselwirkungen erfassen.

FEB hat in der Zusammenarbeit mit beteiligten Gruppen bei FLASH das Projekt zur Auslese von Pyrodetektoren zur Bunchdiagnose fortgesetzt. Im Berichtsjahr hat FEB die Entwicklung der Ausleseelektronik für Detektoren zum Schutz der Region um den Beamdumps bei Strahlverlusten abgeschlossen. Das Messprinzip basiert auf der Erfassung unerwünscht erzeugter Strahlung mit Ionisationskammern und der schnellen Erkennung eines zu hohen Strahlstromes mit Elektroden.

FE betreibt High-End ECAD-Systeme für Leiterplattenentwicklung und ASIC-Design. Für das Mentor Graphics System DXDesigner/Expedition wurden im Berichtsjahr zahlreiche neue Komponenten für die aktuellen Projekte eingepflegt, die Bedienerfreundlichkeit des Systems verbessert und Funktionalitäten erweitert. Die CADENCE-Design-Umgebung wurde im Berichtsjahr nebst Bibliotheken für Semi- und Full-Custom ASIC Entwicklungen von SUN OS auf LINUX portiert. Beide Entwicklungsumgebungen stehen DESY Usern in Hamburg und Zeuthen zur Verfügung.