

# Elektronikentwicklung

Gruppenleiter: M. Zimmer

Zur Abteilung Elektronikentwicklung FE gehören die Fachgruppen FEA für digitale Datenverarbeitung, FEB für analoge Datenverarbeitung und Mess- und Regeltechnik sowie FEC für Mikro- und Optoelektronik.

## Si-Driftdetektor-Projekt

Das DESY-Projekt *Entwicklung eines 7-zelligen Si-Driftdetektor-Moduls für die Spektroskopie mit Synchrotronstrahlung* endete planmäßig im August 2007. Bis heute fertigte und testete die Gruppe FEC acht Detektormodule. Damit wurde das ursprüngliche Ziel, nach drei Jahren mindestens zwei funktionsfähige Module für den Nutzerbetrieb zur Verfügung zu haben, übertroffen. Abbildung 202 zeigt beispielhaft sechs ringförmig angeordnete Module, die von zwei Backen im Innenloch eines Kleinflansches gehalten werden. Betrieben werden die Module mit einer Datennah-

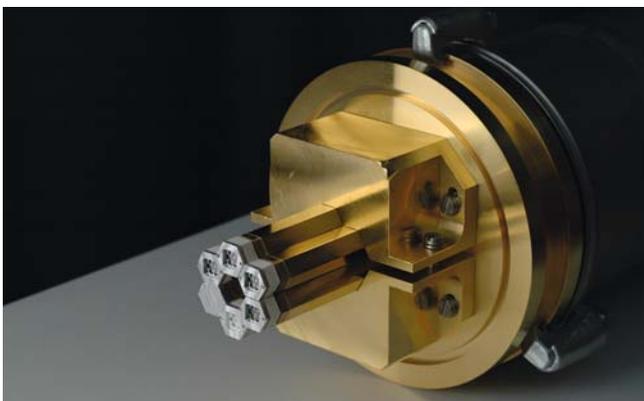


Abbildung 202: Sechs 7-zellige SDD Module in Halter.

melektronik, deren Entwicklung im Rahmen eines EU-geförderten Vorhabens bereits 2001 abgeschlossen wurde (siehe Jahresbericht 2001). Im Rahmen dieser dreijährigen Projektphase wurde ein zweites System fertig gestellt und für den Betrieb der neuen Sensormodule an HASYLAB-Beamlines umgerüstet (siehe DESY-Jahresbericht 2006). Beide Datennahmesysteme wurden zusammen mit verschiedenen Modulen bereits für Messungen im normalen DORIS-Nutzerbetrieb sowie an einer Beamline der ESRF in Grenoble erfolgreich eingesetzt.

Die Detektormodule sollten möglichst rauscharm, flexibel und kompakt sein, bei Raumtemperatur arbeiten und einzelne Photonen im Energiebereich zwischen ca. 2 und 35 keV mit möglichst hoher Rate erkennen können. Um diese Anforderungen erfüllen zu können, wurde ein ASIC in 350-nm-BiCMOS Technologie entwickelt, der zusammen mit dem auf dem Sensorchip integrierten JFET einen Rauschbeitrag von nur etwa 11 Elektronen bei einer Peaking-Zeit von 190 ns liefert. Sensor (PNSensor GmbH) und ASIC auf einer Hybrid-schaltung sind Bestandteil des aktiven Kopfes (weiße Gehäuseteile in Abbildung 202). Bei geringer Kühlung mit Hilfe eines integrierten Peltierelementes auf etwa 7°C werden im Spektroskopiebetrieb Linienbreiten um 250 eV erzielt. Im Raumtemperaturbetrieb ergeben sich Linienbreiten um 300 eV. Maximale Zählraten in den Anwendungen liegen üblicherweise bei wenigen hundert Kilohertz. Erfolgreich getestet wurden die Systeme jedoch bis ca. 900 kHz pro Zelle.

Erste Testexperimente können bereits von den erreichbaren hohen integralen Zählraten des neuen Detektorsystems profitieren. Jedes Modul ist in der Lage, einige

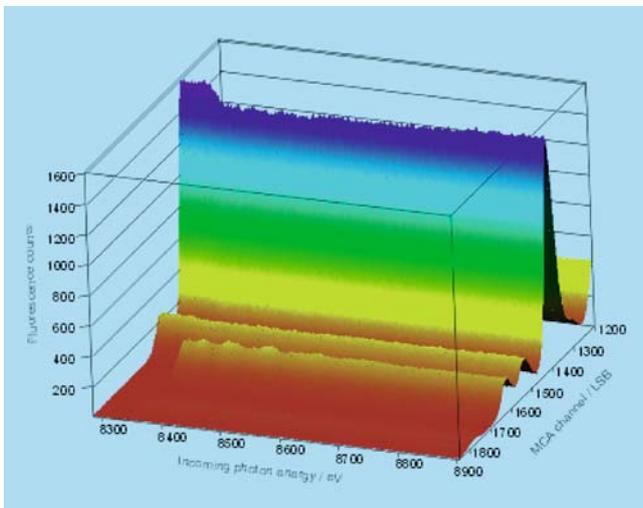


Abbildung 203: Entwicklung der gemessenen Röntgen-Fluoreszenzspektren während eines XAFS Scans über die K-Kante von Nickel einer  $Cr_{17}FeNi_5Mo_2$ -Folie.

Millionen Photonen pro Sekunde bei hinreichender Linienseparation zu verarbeiten. Abbildung 203 zeigt hier beispielhaft den 3D Plot der Fluoreszenzspektren einer Edelstahlfolie während eines XAFS Scans über die Ni-K-Kante und dokumentiert die erfolgreiche Umsetzung des Modulkonzeptes. Um die Module zukünftig auch separat voneinander in verschiedenen Anwendungen betreiben zu können, hat FEC kürzlich die Entwicklung eines neuen PXI-basierten Datennahmesystems gestartet. Kommerziell verfügbare Baugruppen mit Einplatinencomputer, ergänzt um neu entwickelte Spannungsquellen-, Regler- und Adapterbaugruppen, könnten zukünftig im kompakten 11-Slot-3-HE-Einschubrahmen die Signalverarbeitungs- und Kontrollaufgaben eines 7-Kanal-Detektormoduls übernehmen. Darüber hinaus wurde eine motorisierte UHV Lineardurchführung zur Aufnahme eines Detektormoduls konstruiert, gefertigt und getestet.

## Detektorentwicklung am XFEL

FE ist an zwei von drei internationalen Konsortien beteiligt, die 2-dimensionalen Detektoren für den XFEL mit einer Frame-Rate von 5 MHz für unterschiedliche Anwendungen entwickeln sollen. Ein Ansatz basiert

auf der Entwicklung eines hybriden Detektor (HPAD) mit einer Million Pixel (MPixel), einer Pixelgröße von  $200\ \mu\text{m}$  und analogem Zwischenspeicher für die Signale. Der andere favorisiert die Entwicklung einer 2-dimensionalen Röntgenkamera auf der Basis eines linearen Silizium-Driftdetektors (LSDD).

Beide Konsortien haben im Berichtszeitraum ausführliche Proposals mit den jeweiligen Entwürfen zur Realisierung eingereicht und erhielten beide grundsätzlich positiven Bescheid.

Die Beteiligung von FEA/FEB bei HPAD beinhaltet die Entwicklung der PCB-basierten Ausleseelektronik hinter Sensor und Auslese-ASICs. Dazu sollen 256 ASICs, die insgesamt 400 Bilder eines  $600\ \mu\text{s}$  langen Bunchtrains für jeweils  $64 \times 64$  Pixel analog zwischenspeichern, mit je 4 ADCs (50 M samples/s, 14 bit) ausgelesen werden. Mit leistungsfähigen FPGAs werden die digitalisierten Daten zwischengespeichert, umsortiert und zwischen zwei aufeinanderfolgenden Bunchtrains (ca. 100 ms) über schnelle serielle Links mit standardisierten Netzwerkprotokollen und einer effektiven Datenrate von ca. 8 GByte/s zu einer Prozessorfarm übertragen.

Für das LSDD Projekt ersten Halbjahr des Berichtszeitraumes erarbeitete FEC detaillierte Entwürfe zur Realisierung der im Kamerakopf integrierten Datennahmeelektronik. Im Hinblick auf verbesserte Rauscheigenschaften und Bildwiederholraten wird der Vorschlag derzeit überarbeitet. Ein wesentlicher Schritt zu diesem Ziel ist die Driftstreckenverkürzung auf Pixeldimension. Die damit einhergehende Notwendigkeit, die Signalverarbeitungskette ähnlich wie bei den anderen Detektorenvorschlägen pro Pixel zur Verfügung stellen zu müssen, erhöht den Integrationsbedarf erheblich. Die Fertigstellung eines Gesamtkonzeptes mit Beiträgen mehrerer Entwicklergruppen an einem ASIC ist erst im Frühjahr 2008 zu erwarten.

## AMC-Board

Für unterschiedliche Einsatzmöglichkeiten im Kontrollsystem des XFEL-Beschleunigers wurde von FEA

in Zusammenarbeit mit MCS4 der erste Prototyp einer Trägerplatine im AMC-Format entwickelt. Der Formfaktor *Advanced Mezzanine Card* (AMC) und der zugehörige Crate-Standard  $\mu$ TCA ist Teil des neuen Standards *Advanced Telecommunications Computing Architecture* (ATCA) der in der Telekommunikationsindustrie zunehmende Verbreitung findet und auch als ein mögliches Standardbussystem für den Einsatz bei XFEL diskutiert wird. Vorteile dieser Systemarchitektur sind die Kommunikation einzelner Module über mehrere schnelle serielle GigaBit-Links, eine Systembackplane, die Bandbreiten bis zu TBit/s ermöglicht sowie bereits im Standard verankerte Mechanismen für sehr hohe Systemzuverlässigkeit.

Ziel der DESY-Entwicklung war es, schnell und effizient Erfahrungen mit den hierzu notwendigen neuen Technologien zu gewinnen und einen Prototypen zu entwickeln, der flexibel einsetzbar ist. Kernstück der Leiterplatte ist ein leistungsstarker FPGA (Virtex5), der mit jeweils 4 seriellen Links (bis zu je 3.5 Gb/s) über Backplane und Frontstecker Daten übertragen kann. Ein Steckplatz für Mezzanine Kärtchen stellt zahlreiche Signale des FPGAs zur Verfügung, um so die Karte mit zusätzlichen Funktionen auszustatten. Derzeit wird bei FEB eine 100 MHz ADC-Karte entwickelt. Die Soft- und Firmwareentwicklung wurde von MCS4 übernommen. Der erste Prototyp funktionierte auf Anhieb innerhalb einer ATCA und  $\mu$ TCA Umgebung. Parallel zu ausgiebigen Systemtest ist derzeit bereits eine Nachfolgeversion in Planung, die mit erweiterten Funktionalitäten auch den Einsatz bei weiteren Bereichen der XFEL-Beschleunigerkontrolle ermöglicht.

## Auswertelektronik für hochpräzise Schlauchwaage

Für den Beschleuniger und die Experimentierhalle von PETRA III soll zur vertikalen Vermessung ein System auf Basis einer Schlauchwaage eingesetzt werden. In Zusammenarbeit mit MEA2 wurde ein Elektronik-System entwickelt, das auf eine Auflösung von 1  $\mu$ m

erzielt und über die Anlage verteilt Sensoren steuert. Ein auf halben Querschnitt mit Wasser gefülltes Rohr erzeugt eine horizontale Referenzfläche, gegen die die eintauchenden metallischen Messelemente vermessen werden sollen. Um deren Höhe und somit die Höhe deren Befestigungspunkte zu bestimmen wird mit einem Piezo-Element ein 8-MHz-Ultraschallpuls erzeugt. Die Ankunftszeit der an der Wasseroberfläche und an zwei Flächen des Messelements reflektierten Schallsignale wird mittels eines Systems aus einem 100-MS/s-ADC's, eines FPGA's und eines ARM7-Mikrokontrollers bestimmt. Im Berichtsjahr wurden Prototypen eingehend getestet. Dabei gelang es, die Algorithmen zur Rekonstruktion der Zeiten auf 1 ns Genauigkeit zu optimieren, was 1  $\mu$ m in der Höhenmessung entspricht. Diese Genauigkeit, die besser ist als die Abtastrate, wird durch geschickte Pulsform-Rekonstruktion erreicht. Der Benutzer kann mit wenigen Parametern die Rekonstruktion auf die Streuung der Ultraschallsensoren anpassen und auf einfache Weise die Stabilität der Signalerkennung optimieren. Dezentrale Mini-Crates überwachen je vier Sensoren und kommunizieren über CAN-Bus mit einem zentralen PC, der für die zentrale Steuerung des Systems sowie die Speicherung und Visualisierung der Daten zuständig ist. Die Serienproduktion ist mittlerweile in Zusammenarbeit mit der zentralen Werkstatt erfolgt. Zusätzlich wurde das System nach CE-Richtlinien zertifiziert, um auch einen Einsatz außerhalb von DESY zu ermöglichen.

## CALICE Frontend Elektronik

Für die CALICE-Kollaboration, die Kalorimeter mit hoher dreidimensionaler Granularität (30 000 Kanäle/m<sup>3</sup>) wurde in Zusammenarbeit mit der Gruppe FLC und internationalen Partnern Konzepte entwickelt, wie die Elektronik in dünnen Lagen in das aktive Volumen integriert werden kann. Hierzu muss die Leistung pro Kanal auf 40  $\mu$ W/Kanal begrenzt werden, um eine passive Kühlung zu ermöglichen. Um dieses Ziel zu erreichen sollen die Hauptstromverbraucher mit dem Zyklus des Beschleunigers ein- und ausgeschaltet wer-

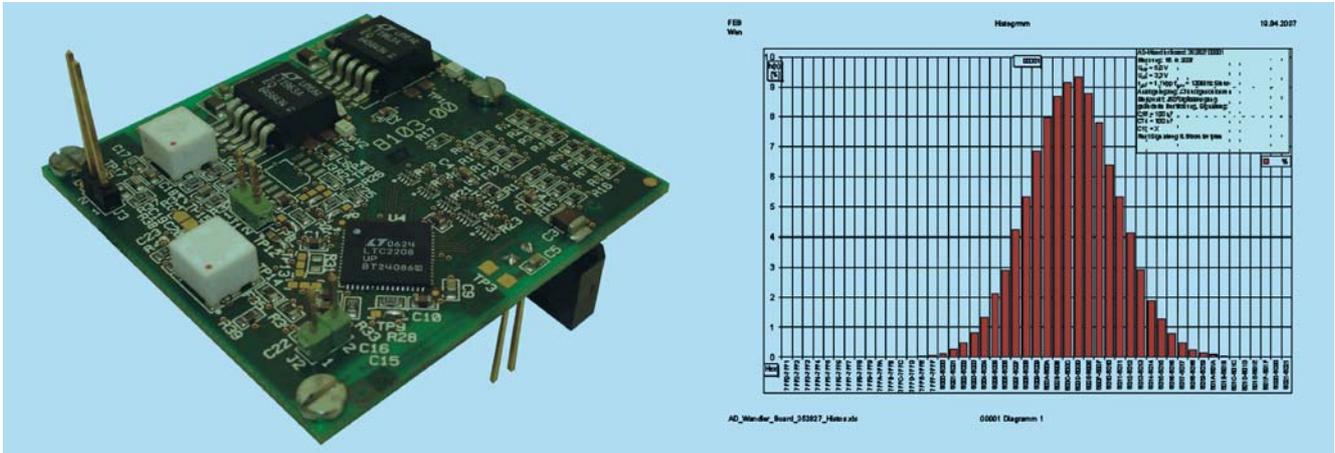


Abbildung 204: Photographie der ADC Baugruppe und die Häufigkeitsverteilung bei Digitalisierung mit kurzgeschlossenem Eingang. Jedes Bin entspricht einem ADC-Counts und die Breite (RMS 4.3-ADC-counts) ist ein Maß für das Rauschen der Baugruppe.

den ohne dabei die Stabilisierung der Stromversorgung über  $2\text{ m}^2$  Detektorfläche zu verschlechtern und ein optisches Kalibrationssystem integriert werden. Der begrenzte Platz für die Elektronik erfordert es auch, die Signalübertragung zwischen Elektronik am Ende des Kalorimetervolumens auf wenige Leitungen zu beschränken. Um die Dicke der Leiterplatten möglichst gering zu halten wird zusätzlich vorgesehen größere Stecker und IC's in die Leiterplatte zu versenken und auf inneren Lagen der Multilayer-Struktur aufzulöten.

Dieses Konzept soll demnächst im Rahmen des EUDET-Programms in konkrete Designs aus Mechanik, Elektronik, Firm- und Software umgesetzt werden.

## Sonstige Projekte und Tätigkeiten

Bereits im Vorjahresbericht wurde die Entwicklung zur Ansteuerung und Regelung der Laserdioden für den Einsatz bei FLASH zur optischen Synchronisation beschrieben. Im Berichtszeitraum erfolgte die Serienproduktion und die Erweiterung und Überarbeitung der Firmware.

Für die bereits im Vorjahresbericht vorgestellte schnelle, intelligente Datenerfassungskarte für die Gruppe MHF-e wurde eine Serie von ca. 100 Stück produziert. Außerdem wurde in Zusammenarbeit mit der Experimentiergruppe die Firmware der FPGAs um zusätzliche Funktionalitäten erweitert und Korrekturen durchgeführt.

Die im Vorjahreszeitraum von FEB für den Einsatz bei der FLASH-Strahldiagnostik entwickelten Prototypen der ADC-Module wurden ausgiebig getestet und optimiert (Abbildung 204). Bei einer Sampling-Rate von  $130\text{ MS/s}$ , der hohen 16-bit-Auflösung und einer Analogbandbreite von  $160\text{ MHz}$  konnte das Rauschen auf 4.3 ADC counts begrenzt werden. Dies entspricht 84-dB-Full-Scale, was den Parametern des ADC's alleine entspricht.

FEA betreibt das ECAD Systems Mentor Graphics DX-Designer / Expedition. Im Berichtsjahr wurden zahlreiche neue Komponenten für die aktuellen Projekte eingepflegt, die Bedienerfreundlichkeit des Systems verbessert und Funktionalitäten erweitert.

Die Gruppe FEB hat zur Wartung und dem Betrieb des Quenchprotection-Systems für den HERA-p-Ring und das ZEUS-Experiment beigetragen. Außerdem erfolgten beratende Tätigkeiten für FLASH, HERMES, CALICE und LHC.