



Abbildung 200: Der AOI-Tester (automatische optische Inspektion).



Abbildung 201: Der Netzknoten-Impedanztester.

# Servicezentrum Elektronik

Gruppenleiter: B. Closius

Das Servicezentrum Elektronik stellt Standardverfahren für die Konstruktion, Arbeitsvorbereitung, Fertigung und Prüfung von elektronischen Baugruppen und Geräten für DESY bereit. Im Jahr 2007 bearbeitete die Gruppe ZE insgesamt 485 Aufträge, davon waren allein 154 Aufträge zur Beschaffung von Leiterplatten unterschiedlicher Komplexität.

Für einzelne Projekte wurden folgende Aufträge durchgeführt:

Projekt	Wert
XFEL	10 T€
FLASH	130 T€
PETRA III <sup>4</sup>	1144 T€

Für die einzelnen DESY-Bereiche wurden 2007 nicht projektbezogene Aufträge in folgender Höhe durchgeführt:

Bereich	Wert
FH	52 T€
FS	85 T€
M	260 T€
Andere	45 T€

## Prüfung komplexer Baugruppen

Die zunehmende Komplexität elektronischer Baugruppen hat zur Einführung neuer Verfahren geführt, um die Qualität des Fertigungsprozesse zu überprüfen und abzusichern.

<sup>4</sup>Ein PETRA III Großauftrag über 3600 T€ ist nur in Höhe der 2007 angearbeiteten Kosten von 50 T€ in der Summe enthalten.

Da die Fertigungsqualität von elektronischen Baugruppen in vielen Fällen nicht mehr über die Funktionalität prüfbar ist, müssen andere Testverfahren zur Absicherung der Fertigungsqualität eingesetzt werden. Im Servicezentrum Elektronik finden folgende Verfahren Anwendung:

### Automatische optische Inspektion (AOI)

Mit diesem Verfahren kann eine fehlerhafte Lötstelle oder eine falsche oder fehlerhafte Bauteilbestückung optisch identifiziert werden.

### Netzknoten-Impedanzanalyse

Mit diesem Verfahren lassen sich fehlende elektrische Verbindungen und fehlende oder fehlerhafte Bauelemente identifizieren.

### Boundary Scan Verfahren

Mit diesem Verfahren kann die Verarbeitung hochpoliger Bauelemente mit bis zu 2000 elektrischen Anschlüssen getestet werden. Dieses Verfahren nutzt die für dieses Prüfverfahren implantierte Eigenintelligenz moderner hochintegrierter Bauelemente wie FPGAs, CLPDs und Microcontrollern. Die Anwendung dieses Verfahrens erfordert eine sehr tiefe Verzahnung mit dem Vorgang des Schaltungsentwurfes und der Baugruppenentwicklung. Zur Nutzung dieses Verfahrens sind daher noch weitere methodische Verabredungen mit den DESY Elektronik-Entwicklungslabors zu treffen. Ein ständiger Einsatz wird erst mittelfristig auf Grund der hohen technischen und prozesstechnischen Anforderung erfolgen können.

Im folgenden eine genauere Beschreibung der Testverfahren AOI und des Netzknoten-Impedanztests.

## Automatische optische Inspektion

Das AOI-Testverfahren (Abbildung 200) wird zur Absicherung des SMD-Bestückungsprozesses eingesetzt. Es ermöglicht einen schnellen Test auch größerer Stückzahlen. Der Schwerpunkt dieses Tests liegt bei der Erkennung von Löt- und Bestückungsfehlern. Dieser Test ersetzt die bisherige, zeitlich sehr aufwendige und anstrengende manuelle optische Inspektion durch ein Mikroskop.

Der AOI-Tester ist in der Lage falsche, fehlerhafte oder fehlende Bauelemente und Lötstellen während des Baugruppentest zu erkennen. Er arbeitet nach der Methode der optischen Mustererkennung von bekannten Bauelementen und Mustern (z. B. Lötstellen).

Dazu wird mit Hilfe eines optischen Kamerasystems und verschiedenen Beleuchtungsquellen- und Farben ein Bild der Baugruppe aufgenommen. Als Merkmal für die Position der Bauelemente dienen die importierten CAD-Daten der Baugruppe. Der optische Vergleich mit den in einer Bibliothek hinterlegten Bildmustern ermöglicht einen Vergleich mit dem aufgenommenen Baugruppenbild.

Die Baugruppen werden vor der Prüfung mit einem 2D-Barcode versehen, der während der Prüfung automatisch gelesen wird. Das Prüfergebnis kann so einer Baugruppe zugeordnet und als Datensatz für die später erfolgende Reparatur an einem Reparaturplatz abgespeichert werden.

## Netzknoten-Impedanzmessung mit Flying Probe-Testsystem GRS500

Das Netzknoten-Impedanztestverfahren (Abbildung 201) wird zum Testen der komplett bestückten Bau-

gruppe eingesetzt. Es erkennt falsche Bauelemente und fehlende Verbindungen.

Der GRS500 Flying Probe-Tester ist ein Testsystem zur Fehlerdiagnose von Baugruppen unterschiedlichster Technologie (SMD, Durchstecktechnik (THT), BGA-Bauelemente, Bi- oder Multilayer-Leiterplatten) nach der Methode der Netzknoten-Impedanzanalyse.

Der GRS500 testet elektrische Netze und Bauelemente durch Anlegen von Strombegrenzten, sinusförmigen Signalen an jeden zu prüfenden Schaltungsknoten und durch die Aufzeichnung des resultierenden Stromflusses. Strom und Spannung dienen zur Darstellung der spezifischen Impedanzsignatur des Netzes. Die Signaturen sämtlicher Netze der (fehlerfreien) Referenzbaugruppe werden gespeichert und für den Vergleich mit dem Prüfling herangezogen. Unterschiede zwischen dem Gut-Netz und dem geprüften Netz werden als prozentuale Abweichung registriert, wobei der Anwender den Schwellwert für eine Gut/Schlecht-Bewertung festlegt. Die Gut/Schlecht-Bewertung wird dann automatisch vom Testsystem während des Testens vorgenommen.

Der gesamte Test läuft mit hoher Geschwindigkeit ab (mehrere Testpunkte pro Sekunde). Jedes Netz kann jedoch auch einzeln für die detaillierte Untersuchung während der Fehlerdiagnose kontaktiert werden.

Der gesamte Test erfolgt im stromlosen Zustand (keine Versorgungsspannung liegt an).

Es besteht daher keine Gefahr für den Anwender und Bauelemente können nicht beschädigt werden.

Die Festlegung der Testpunkte erfolgt entweder durch importierte Pad- und Netztdaten des Leiterplatten-Entwurfssystems (CAD) oder durch manuelle Festlegung.