

Abbildung 176: Konzeptioneller Entwurf des AHCAL Prototypen (a), und Realisierung der ersten Module (b). Das eingerahmte Bild zeigt die Flexfolie mit sehr dünnem Verbindungsstecker, die die Verbindung zwischen Datenaquisition und der Detektorelektronik realisiert.

Elektronikentwicklung

Gruppenleiter: M. Zimmer

Zur Abteilung Elektronikentwicklung FE gehören die Fachgruppen FEA für digitale Datenverarbeitung, FEB für analoge Datenverarbeitung und Mess- und Regeltechnik sowie FEC für Mikro- und Optoelektronik.

Ausleseelektronik für CALICE

Für die CALICE Kollaboration wurde in enger Zusammenarbeit mit der DESY Gruppe FLC das Konzept für die Elektronik eines analog ausgelesenen, hadronischen Kalorimeters (AHCAL) an einem e^+e^- -Kollider entwickelt. Der Prototyp mit etwa 2200 Kanälen basiert auf szintillierenden Plättchen mit den Maßen $3 \times 3 \text{ cm}^2$, die jeweils von einem Multi-Pixel Geiger-Mode Photodetektor (MGPD) ausgelesen werden und in die Leiterplatte der Ausleseelektronik integriert werden.

Die Prototypenentwicklung erfolgte im Hinblick auf eine mögliche Verwendung für das Kalorimeter des ILC (*International Linear Colliders*). So soll das entwickelte Aufbau- und Verbindungskonzept der detektornahen Elektronik zeigen, welche messtechnischen Eigenschaften erreicht werden können, wenn Fertigungstechniken für eine Massenfertigung angewendet werden. Im abgelaufenen Jahr wurden in enger Koordination mit den CALICE Partnern und mit Unterstützung der EU (EUDET JRA3) die ersten Module des Prototypen fertig gestellt (siehe Abbildung 176a). Dargestellt sind ein kommerzielles FPGA Board (Mutterplatine, Abbildung 176b), welches die Schnittstelle zwischen der Datennahme und dem Prototypen bildet, sowie die Steuerplatine für ein Kalibrationssystem. Dieses basiert

auf ultravioletten LEDs mit einem ARM7 Mikrocontroller als Steuereinheit (Aufsteckplatine in Abbildung 176b). Die Verbindung zum inneren Detektor erfolgt über ultraflache flexible Leiterplatten und Stecker (zusammen weniger als 1.2 mm dick), von denen zwei Typen für Signale und Spannungsversorgung realisiert wurden (siehe Abbildung 176b, blauer Rahmen).

Für das Frühjahr 2009 wird die Fertigstellung des inneren Detektormoduls erwartet, welches die Integration von typisch 144 Szintillator-Plättchen und MGPDs (MEPhi/PULSAR, ITEP) mit den analog/digitalen Auslese ASICs (LAL/OMEGA Orsay) und dem Kalibrationssystem bewerkstelligt. Daraufhin folgen intensive Systemtests und die Erweiterung auf etwa 2200 Detektorkanäle, für die eine Weiterentwicklung einiger Module angestrebt wird.

Detektorentwicklung am European XFEL

FE ist an zwei der drei internationalen Konsortien beteiligt, die 2-dimensionale Röntgenkameras mit einer Million Pixel für unterschiedliche Anwendungen am XFEL entwickeln. Die Detektoren sollen in der Lage sein, alle 200 ns ein Bild aufzunehmen und bis zu 4000 Bilder pro Sekunde speichern.

Adaptive Gain Integrating Pixel Detector (AGIPD)

FEA und FEB entwickeln gemeinsam die analoge und digitale Ausleseelektronik für diesen Detektor mit einer geplanten Pixelgröße von $200 \times 200 \mu\text{m}^2$ und einer Sensorfläche von ca. $20 \times 20 \text{cm}^2$. Die hohe Anzahl Kanäle auf relativ kleinem Raum erfordert ein kompaktes Design für analoge und digitale Ausleseelektronik. Hierzu wurden mehrkanalige ADC's mit schnellen seriellen Datenausgängen (700 Mbit/s bei 50 MS/s) untersucht, mit denen die hohe Dichte analoger Signale aufbereitet werden kann. Weitere Studien konzentrierten sich auf die Optimierung der zahlreichen Signalverbindungen zwischen Sensor-ASIC's, analoger und digitaler Elektronik, die sich durch beengten Platzverhältnisse sowie den Anforderungen an Stromversorgung und Signalintegrität als recht aufwändig gestalten. Erste Lösungsansätze hierzu konnten in intensiven Absprachen mit den internationalen Partnern erarbeitet werden.

In der derzeitigen Planung ist vorgesehen, dass nach der Digitalisierung die Daten und Kontrollsignale von 64 ADCs von jeweils einem FPGA weiterverarbeitet, zwischengespeichert und dann zum Backend übertragen werden. Hierfür wurden Algorithmen zum Datenmanagement und der Datenübertragung entwickelt und über Simulationen die notwendigen Ressourcen für die Auswahl geeigneter Komponenten abgeschätzt.

DEPMOS Sensor with Signal Compression (DSSC)

Im ersten Halbjahr 2008 erfolgten die Überarbeitung des ursprünglichen Gesamtkonzeptes aus dem Jahr 2007 und die Einreichung eines Neuvorschlages. Die wesentlichen Änderungen betrafen die Driftstreckenverkürzung auf Pixeldimension sowie die Einführung einer nichtlinearen Verstärkung durch den im Pixel integrierten MOS-Transistor. Nach einer ersten Begutachtung durch das XFEL Detector Advisory Committee (DAC) wurden verschiedene Aspekte der neuen Konzeptsbasis vertieft, eine Überarbeitung der Zeit- und

Kostenplanung durchgeführt und anschließend im September 2008 als Ergänzung zum bisherigen Vorschlag eingereicht. Nach erneuter Evaluierung durch das DAC genehmigte das XFEL Projekt-Team die 3^{1/2}-jährige erste Projektphase. Der offizielle Projektstart ist für 2009 geplant.

FEC beteiligt sich an der Entwicklung des integrierten Ausleseschaltkreises (ASIC) in einer 130 nm-CMOS-Technologie und der zugehörigen Hybridschaltung. Unsere vorrangige Aufgabe in der ASIC-Entwicklung umfasst einen ADC mit einer angestrebten Auflösung von 8 Bit oder besser bei einer Abtastrate von bis zu 5 MHz. Die besondere technische Herausforderung hierbei besteht darin, dass alle zur Digitalisierung notwendigen elektronischen Funktionsblöcke wie Vorverstärker, Filter, ADC und Speicher pixelweise im ASIC integriert werden. Ein ASIC muss somit die Signale von mehreren tausend Pixeln parallel verarbeiten. Darüber hinaus fällt die Entwicklung des Chip-internen Spannungsversorgungsnetzes für einen gepulsten Betrieb in die Zuständigkeit von FEC.

Sechzehn ASICs mit jeweils mehreren tausend Anschlussstellen werden im Bump-Bond-Verfahren an die monolithischen DePFET-Sensoren angeschlossen und bilden mit der hybriden Elektronik eine sogenannte Leiter. Vier Leitern sollen in den sich später anschließenden Projektphasen zu einem Quadranten und vier Quadranten abschließend zu einer Mega-Pixel-Kamera zusammengefasst werden. Hierbei übernimmt FEC die Konstruktion der Leiter und das Design der Hybridschaltung.

10 GBit Ethernet Prototypen Entwicklung

Alle 2D-Detektor Konsortien wollen 10 Gigabit Ethernet als Übertragungsstandard zwischen Detektor und Backend einsetzen. Für die zu erwartende Datenrate im Bereich zwischen 80 und 120 GBit/s sind pro Detektor sechzehn 10-Gigabit-Links zum Backend vorgesehen, die mit UDP als Software Protokoll betrieben werden sollen. Mit dem Ziel möglichst schnell und effizient einen Prototypen mit dieser für FE neuen Technologie

zu realisieren, entwickelte FEA zu einem geeigneten FPGA-Evaluierungs-Board eine Adapterkarte mit 2 unabhängigen 10-Gigabit-Ethernet Kanälen. Am Evaluierungsboard liegen an der Steckverbindung für die Adapterkarte 8 differentielle 3.125 GBit Ausgänge des FPGAs. Jeweils 4 dieser Signale werden parallel betrieben, mit einem entsprechenden Chip zu einem seriellen 10Gbit Link umgesetzt und einem optischen 10 GBit Transceiver (SFP+) zugeführt. Diese Trennung von FPGA auf dem Evaluierungsboard und 10 Gigabit Infrastruktur auf der Adapterkarte reduzierte das Entwicklungsrisiko, gestattete es aber trotzdem, die für spätere Entwicklungen wichtigen Erfahrungen mit dem Layout von 10 GHz Signalen zu sammeln. Die 2 Kanäle wurden zudem unterschiedlich geroutet um quantitative Aussagen über die Signalqualität für beiden Varianten machen zu können. Die Entwicklung sowie der Test der Firmware und des UDP-Stacks erfolgten unabhängig auf dem Evaluierungs- Board. Erste Funktionsüberprüfungen mit der vollen Datenrate verliefen erfolgreich.

Datennahme-System für den Silizium Drift Detektor

Im Rahmen eines in 2007 abgeschlossenen DESY-Projektes fertigte die Gruppe FEC eine Kleinserie von 7-kanaligen Si-Drift-detektor (SDD)-Modulen für die Spektroskopie mit Synchrotronstrahlung. Die Daten wurden zunächst mit einer vorhandenen VME-Elektronik aus einem früheren Projekt erfasst. Die Erfahrungen in verschiedenen Anwenderexperimenten ergaben die Notwendigkeit einer Neuentwicklung in Form eines kompakteren Systems, dessen Entwicklung FEC bereits 2008 beenden konnte. Abbildung 177 zeigt das neue Messsystem mit einer PC-Baugruppe (PC) zur Steuerung des PXI-Busses und zur Verarbeitung der Messwerte der A/D-Wandler-Baugruppe (ADC). Die Digital-I/O-Baugruppe (DIO) erzeugt die Steuersequenzen zur Initialisierung der Modul-internen Ausleseelektronik und takt-synchronen Datennahme durch die Wandlerbaugruppe. Vorgenannte Komponenten sowie das PXI-Crate sind kommerzielle Produkte,

die geringfügig für die zugrundeliegende Anwendung modifiziert wurden. Der Anschluss des Detektormoduls an das PXI-System erfolgt über eine Adapterbaugruppe (SDD-PXI). Diese Elektronik empfängt ein benutzerspezifisches Gate-Signal, über das der Anwender die Zeitspanne definieren kann, in der Sensordaten digitalisiert, vom PC weiterverarbeitet und zwischengespeichert werden. Sämtliche zum Modulbetrieb notwendigen Takt- und Steuersignale werden an der Steckerschnittstelle zum SDD-Modul bereitgestellt. Die Baugruppe beinhaltet ferner eine Versorgungseinheit zur Erzeugung aller notwendigen Hochspannungen des Sensors und Kleinspannungen für die im Modul integrierte Ausleseelektronik sowie einen Temperatur-Regler zur Stabilisierung der Betriebstemperatur des Sensors. Im Interesse eines sicheren Betriebs außerhalb einer Vakuumkammer können die Module mit einem N2-Spülkopf ausgestattet werden (siehe Abbildung 177). Auf diese Weise kann ein Einsatz auch unabhängig von den klimatischen Umgebungsbedingungen erfolgen. Zu Überwachungszwecken erfassen Sensoren die Temperatur (T) und relative Feuchte (F) am Gasaustritt. Entsprechende Signale werden durch eine weitere kommerzielle A/D-D/A-Wandler-Baugruppe (AD-DA) erfasst und einer μC -Baugruppe (μC) zur Berechnung des Taupunktes und gegebenenfalls erforderlichen Notabschaltung des Temperatur-Reglers zugeführt. Für den Betrieb in einer Vakuumkammer ist das Modul mit einem Drucksensor (P) ausgestattet. Dieser erfasst einen möglichen Druckverlust, stellt die Notabschaltung des Reglers sicher und vermeidet so eine unbeabsichtigte Kondenswasserbildung im Sensorkopf. Bei der Adapter- und μC -Baugruppe sowie der Software zum Betrieb des Gesamtsystems handelt es sich um Neuentwicklungen. Im Berichtszeitraum startete bereits der von HASYLAB beauftragte Aufbau von vier Systemen, deren Fertigstellung und Auslieferung für 2009 geplant ist.

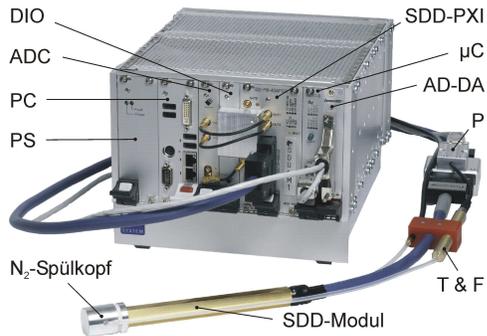


Abbildung 177: *Einschubrahmen mit PXI-Baugruppen zur Signalwertauslese und Steuerung eines 7-Kanal Si-Driftdetektor-Moduls.*

Sonstige Projekte und Tätigkeiten

Die im Vorjahreszeitraum von FEA entwickelte AMC-Karte wurde optimiert und um zusätzliche Funktionalitäten erweitert um dadurch flexiblere Einsatzmöglichkeiten in weitem zukünftigen Projekten zu schaffen.

FEB unterstützt die DESY-CMS Gruppe und die CASTOR-Kollaboration bei der Entwicklung elektrotechnischer Komponenten für ein Strahlrohr-nahes Kalorimeter in Vorwärtsrichtung. DESY fertigte die Auslese-Karten, mit denen die Photomultiplier Signale im LHC-Takt von 25 ns digitalisiert und optisch mit 1.6 Gbit/s in die Kontrollräume übertragen werden. Ausführliche Tests vor der Installation in der CMS-Halle erfolgten am CERN und bei Teststrahl-Messungen. In Zusammenarbeit mit russischen Gruppen und Antwerpen wurde die Elektronik und Elektromechanik der optischen und elektrischen Ankopplung der Photomultiplier realisiert.

Für FLASH und als Technologiestudien für XFEL wurde an der Auslese mehrkanaliger Pyrodetektoren weiterentwickelt. Diese verwandeln die von Bunchen erzeugte Infrarotstrahlung in elektrische Ladung um so die Eigenschaften der Elektronenpakete vermessen zu können. Früher entwickelte Leiterplatten wurden

weiterentwickelt und zu Systemen zusammengestellt, so dass diese Detektoren als Gerätekombinationen an mehreren Stellen an FLASH integriert werden können.

FEA betreibt das ECAD Systems Mentor Graphics DX-Designer / Expedition. Im Berichtsjahr wurden zahlreiche neue Komponenten für die aktuellen Projekte eingepflegt, die Bedienerfreundlichkeit des Systems verbessert und Funktionalitäten erweitert.